

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03027022 **Image available**

MANUFACTURE OF TFT PANEL

PUB. NO.: 02-002522 [JP 2002522 A]

PUBLISHED: January 08, 1990 (19900108)

INVENTOR(s): MATSUMOTO HIROSHI

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 63-146881 [JP 88146881]

FILED: June 16, 1988 (19880616)

INTL CLASS: [5] G02F-001/136; H01L-021/82; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass Conductors)

JOURNAL: Section: P, Section No. 1021, Vol. 14, No. 136, Pg. 124,
March 14, 1990 (19900314)

ABSTRACT

PURPOSE: To obtain a thin film transistor(TFT) panel which has no TFT entering an invariably driven state by connecting a picture element electrode not to a TFT where the drain and source electrodes or gate and source electrodes are short-circuited, but to only a TFT which has no short circuit.

CONSTITUTION: Plural TFTs T are formed on a substrate surface corresponding to the formation positions of a respective picture elements, and an insulating film which covers data lines DL and gate lines GL connecting with the drain electrodes D and gate electrodes G of the respective TFTs while the picture element electrode connection parts Sa of the source electrodes 5 of the TFTs T are exposed is formed on the substrate surface.

Then the transistor formation area of the substrate is etched electrolytically to remove the picture element electrode connection part of the TFT T whose source electrode 5 is short-circuited to the drain electrode D or gate electrode G and then the end part of the picture element electrode is formed overlapping with the picture element electrode connection part Sa of each TFT. Consequently, the TFT panel which does not include the TFT entering the invariably driven state is obtained.

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008161733 **Image available**

WPI Acc No: 1990-048734/199007

**Mfg. active matrix LCD element thin film transistor panel - connecting
picture element electrode to thin film transistor without short circuit**

NoAbstract Dwg 1f-2/4

Patent Assignee: CASIO COMPUTER CO LTD (CASK)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002522	A	19900108	JP 88146881	A	19880616	199007 B
JP 95111522	B2	19951129	JP 88146881	A	19880616	199601

Priority Applications (No Type Date): JP 88146881 A 19880616

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 2002522	A	6		
------------	---	---	--	--

JP 95111522	B2	7	G02F-001/136	Based on patent JP 2002522
-------------	----	---	--------------	----------------------------

Title Terms: MANUFACTURE; ACTIVE; MATRIX; LCD; ELEMENT; PANEL; THIN; FILM;
TRANSISTOR; CONNECT; PICTURE; ELEMENT; ELECTRODE; THIN; FILM;
TRANSISTOR; SHORT; CIRCUIT; NOABSTRACT

Index Terms/Additional Words: LIQUID; CRYSTAL; DISPLAY

Derwent Class: L03; P81; U12; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/13; H01L-021/82;

H01L-027/12; H01L-029/78; H01L-029/786

File Segment: CPI; EPI; EngPI

⑫ 公開特許公報(A) 平2-2522

⑪ Int. Cl.³G 02 F 1/136
H 01 L 21/82
27/12
29/784

識別記号

5 0 0

庁内整理番号

7370-2H

A

7514-5F

8526-5F
8624-5FH 01 L 21/82
29/78

3 1 1

R
A

審査請求 未請求 請求項の数 1 (全7頁)

⑬ 発明の名称 TFTパネルの製造方法

⑭ 特 願 昭63-146881

⑮ 出 願 昭63(1988)6月16日

⑯ 発 明 者 松 本 広 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑰ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑱ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

TFTパネルの製造方法

2. 特許請求の範囲

基板面に画素電極を駆動する薄膜トランジスタを各画素電極ごとに複数個ずつ配設し、この各薄膜トランジスタのソース電極に画素電極を接続したTFTパネルを製造する方法において、基板面に各画素電極の形成位置にそれぞれ対応させて複数個ずつの薄膜トランジスタを形成した後、前記基板面に、各薄膜トランジスタとそのドレイン電極およびゲート電極につながるデータラインおよびゲートラインを覆いかつ各薄膜トランジスタのソース電極の少なくとも画素電極接続部を露出させる絶縁膜を形成し、この後、前記基板のトランジスタ形成領域を電解液中に浸漬して各薄膜トランジスタのドレイン電極またはゲート電極に前記データラインまたはゲートラインを介して通電する電解エッチング処理を行なって、ソース電極がドレイン電極またはゲート電極と短絡している薄

膜トランジスタの前記画素電極接続部を除去し、この後画素電極を、その端部を各薄膜トランジスタの画素電極接続部に重ねて形成することを特徴とするTFTパネルの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、アクティブマトリックス型液晶表示素子に使用されるTFTパネルの製造方法に関するものである。

〔従来の技術〕

アクティブマトリックス型液晶表示素子に使用されるTFTパネルは、透明基板面に多数の透明画素電極を縦横に配列形成するとともに、前記基板面に各画素電極とそれぞれ対応させて、各画素電極をそれぞれ駆動する多数の薄膜トランジスタ(TFT)を配列形成したもので、各画素電極はそれぞれこの画素電極を駆動する薄膜トランジスタのソース電極に接続されており、また各薄膜トランジスタのドレイン電極およびゲート電極は、画素電極の列間を通して基板面に形成されたデー

タラインおよびゲートラインにつながっている。

ところで、上記TFTパネルは、1つ1つの画素電極をそれぞれ薄膜トランジスタで駆動するのであるために、その製造過程においていずれかの薄膜トランジスタに断線が発生すると、このトランジスタに接続されている画素電極が駆動できない不点灯の電極になってしまうという問題をもっている。

このため、従来から、各画素電極ごとにそれぞれ2個以上の薄膜トランジスタを配設して、1つの画素電極を複数の薄膜トランジスタで駆動するようにしたTFTパネルが考えられている。

第4図は、1つの画素電極を2個の薄膜トランジスタで駆動するTFTパネルの回路を示したもので、図中aは画素電極、Tは薄膜トランジスタであり、この薄膜トランジスタTは各画素電極aごとに2個ずつ配設されており、この2個ずつのトランジスタのソース電極Sはそれぞれ同じ画素電極aに接続されている。また、DLはデータライン、GLはゲートラインであり、各トランジス

イン電極またはゲート電極と短絡されてしまうために、この画素電極には、ドレイン電極に供給されるデータ信号またはゲート電極に供給されるゲート信号がそのまま印加されることになり、したがって他方のトランジスタが正常であっても、画素電極が常に駆動状態になってしまうという欠点をもっていた。この薄膜トランジスタの短絡による障害は、1つの画素電極を1つの薄膜トランジスタで駆動するTFTパネルにおいてもいえることであるが、特に、1つの画素電極を複数の薄膜トランジスタで駆動するTFTパネルの場合は、トランジスタ数が2倍以上と多いために薄膜トランジスタに短絡が発生する確率も高く、したがって常に駆動状態になってしまう画素電極数も多くなる。

そして、この場合、1つの画素電極に接続されている複数の薄膜トランジスタのうち、短絡が発生したトランジスタを画素電極から切離して、この画素電極を他のトランジスタだけで駆動するようにしてやれば、常に駆動状態となる画素電極を

タTのドレイン電極DはそれぞれデータラインDLにつながり、各トランジスタTのゲート電極GはそれぞれゲートラインGLにつながっている。そして、このTFTパネルにおいては、1つの画素電極aに2個のトランジスタTを接続しているために、その製造過程において1つの画素電極を駆動する2個のトランジスタTのうちの一方に断線が発生しても、他のトランジスタTによって画素電極aを駆動することができるから、画素電極aが不点灯の電極になってしまうことはほとんどなく、したがってTFTパネルの歩留りを向上させることができる。

(発明が解決しようとする課題)

しかしながら、1つの画素電極を複数の薄膜トランジスタで駆動するようにしたTFTパネルは、薄膜トランジスタの断線に対しては有効であるが、1つの画素電極を駆動する2個の薄膜トランジスタTのうちの一方のトランジスタのドレイン、ソース電極間またはゲート、ソース電極間に短絡が発生すると、画素電極がソース電極を介してドレ

なくすることができるが、従来は、液晶表示素子を製造した後に実際に液晶表示素子を表示駆動させてみなければ、薄膜トランジスタの短絡により常に駆動状態となっている画素電極(点灯しっぱなしの画素)を見つけ出すことができなかったために、トランジスタの切離しは液晶表示素子の外側から行なうしかなく、このように液晶表示素子の外側からトランジスタの切離しを行なうことは技術的に困難であるから、短絡が発生したトランジスタを画素電極から切離すことは事実上不可能であった。また、仮に液晶表示素子の外側からトランジスタの切離しを行なう方法を開発したとしても、液晶表示素子の表示駆動による点灯画素のチェックでは、常に駆動状態となっている画素電極が分るだけで、この画素電極に接続されている複数の薄膜トランジスタのうちのどのトランジスタが短絡しているかは分からないために、短絡が発生したトランジスタだけを選んでこれを画素電極から切離すことは不可能であり、したがって従来は、点灯しっぱなしの画素がある液晶表示素子はその

まま不良品として廃棄処分しなければならないから、液晶表示素子の製造歩留りがかなり低いという問題をもっていた。

本発明は上記のような実情にかんがみてなされたものであって、その目的とするところは、各画素電極ごとに複数個ずつ配設される薄膜トランジスタのうち、ドレイン、ソース電極間またはゲート、ソース電極間に短絡が発生している薄膜トランジスタには画素電極を接続せず、短絡のない薄膜トランジスタだけに画素電極を接続することができるようにした、常に駆動状態となってしまう画素電極のないTFTパネルを得ることができるTFTパネルの製造方法を提供することにある。

〔課題を解決するための手段〕

本発明のTFTパネルの製造方法は、基板面に各画素電極の形成位置にそれぞれ対応させて複数個ずつの薄膜トランジスタを形成した後、前記基板面に、各薄膜トランジスタとそのドレイン電極およびゲート電極につながるデータラインおよびゲートラインを覆いかつ各薄膜トランジスタのソ

ズに、短絡が発生していないトランジスタ（画素電極接続部が電解エッチングされずに残っているトランジスタ）だけに接続されることになる。したがってこの製造方法によれば、各画素電極ごとに複数個ずつ配設される薄膜トランジスタのうち、ドレイン、ソース電極間またはゲート、ソース電極間に短絡が発生している薄膜トランジスタには画素電極を接続せずに、短絡のない薄膜トランジスタだけに画素電極を接続することができるから、常に駆動状態となってしまう画素電極のないTFTパネルを得ることができる。

〔実施例〕

以下、本発明の一実施例を、1つの画素電極を2個の薄膜トランジスタで駆動するTFTパネルの製造について図面を参照して説明する。

第1図はTFTパネルの製造方法を工程順に示したもので、薄膜トランジスタは次のようにして形成される。

まず、第1図(a)に示すように、基板（ガラス基板）1面に、薄膜トランジスタのゲート電極

ース電極の少なくとも画素電極接続部を露出させる絶縁膜を形成し、この後、前記基板のトランジスタ形成領域を電解液中に浸漬して各薄膜トランジスタのドレイン電極またはゲート電極に前記データラインまたはゲートラインを介して通電する電解エッチング処理を行なって、ソース電極がドレイン電極またはゲート電極と短絡している薄膜トランジスタの前記画素電極接続部を除去し、この後画素電極を、その端部を各薄膜トランジスタの画素電極接続部に重ねて形成することを特徴とするものである。

〔作用〕

このTFTパネルの製造方法によれば、基板面に形成した各薄膜トランジスタのうち、ソース電極がドレイン電極またはゲート電極と短絡している薄膜トランジスタの画素電極接続部が電解エッチングによって除去されるために、この後に基板面に形成される画素電極は、電解エッチングにより画素電極接続部を除去されたトランジスタすなわち短絡を生じているトランジスタには接続され

Gと、これにつながるゲートラインGL（第2図参照）を形成する。なお、ゲート電極Gは、後工程で基板1面に形成される各画素電極の形成位置に対応させて、1つの画素電極の形成位置に対しそれぞれ2個ずつ形成する。このゲート電極GとゲートラインGLは、基板1面にCr、Al等の金属材料を被着させ、この金属材料をパターニングして形成する。次に、第1図(b)に示すように、基板1面全体にSiN等を被着させて透明なゲート絶縁膜2を形成し、このゲート絶縁膜2の上に、各ゲート電極Gとそれぞれ対応させて、i-a-Si半導体層3を形成するとともに、その上にn⁺-a-Siからなるコンタクト層4を形成する。この半導体層3とコンタクト層4は、ゲート絶縁膜2の上にi-a-Si膜とn⁺-a-Si膜を連続させて堆積させ、これを一括してパターニングすることにより形成する。次に、第1図(c)に示すように、コンタクト層4の上に、ソース電極Sと、ドレイン電極DおよびデータラインDL（第2図参照）とを形成するとともに、ソ

ース電極Sとドレイン電極Dとの間のコンタクト層4を除去して薄膜トランジスタTを完成する。このソース電極Sとドレイン電極DおよびデータラインDLは、基板1面全体にCr、Al等の金属膜を被着させ、この金属膜をパターニングする(このとき、ソース、ドレイン電極S、D間のコンタクト層4を同時にエッチング除去することによって形成する。また、ソース電極Sは、その外側部を画素電極形成位置側に延出させた形状にパターニングし、このソース電極Sの延出部を画素電極接続部Saとする。

ところで、上記基板1面に形成された薄膜トランジスタTは、その全てが正常とは限らず、多数の薄膜トランジスタのなかには、ドレイン電極Dとソース電極Sとの間、またはゲート電極Gとソース電極Sとの間に短絡が発生しているものもある。この短絡の発生原因としては、種々の原因が考えられるが、ドレイン、ソース電極D、S間の短絡の主な原因としては、ソース、ドレイン電極S、Dとなる金属膜をフォトエッチング法により

1面全体にSOG(スピンオンガラス)等からなる透明なトランジスタ保護絶縁膜5を形成し、この保護絶縁膜5に、各薄膜トランジスタTの画素電極接続部Saを露出させるコンタクト孔6をエッチングにより穿設する。第2図はこの状態における平面図であり、上記コンタクト孔6は、各薄膜トランジスタTの画素電極接続部Saにそれぞれ対応させて、この画素電極接続部Saのほぼ全域を露出させる面積に形成されている。なお、図示しないが、データラインDLおよびゲートラインGLの駆動回路接続端子部(基板側露出端)は、その上を覆っている保護絶縁膜5を上記コンタクト孔6の形成時に同時にエッチング除去することによって露出されている。

この後は、まず、基板1面に形成した全てのデータラインDLの駆動回路接続端子部に、電解エッチング用電源10を接触式のコネクタを介して接続し、基板1のトランジスタ形成領域全体を電解液中に浸漬して、各薄膜トランジスタTのドレイン電極DにデータラインDLを介して通電する

パターニングする際のフォトリソットの露光処理において、その露光マスクに“ごみ”等の異物が付着していた場合が考えられる。また、ゲート、ソース電極G、S間の短絡の原因は、主に、ゲート絶縁膜2にピンホールやクラック等が発生することによると考えられる。そして、このような短絡が生じている薄膜トランジスタでは、ドレイン電極Dに供給されるデータ信号またはゲート電極Gに供給されるゲート信号がそのままソース電極Sに流れるために、上記短絡が生じている薄膜トランジスタにも画素電極を接続したのでは、この画素電極が常に駆動状態となってしまうことになる。

そこで、このTFTパネルの製造方法では、次のような工程を経た後に画素電極を形成することにより、短絡が発生している薄膜トランジスタには画素電極が接続されないようにしている。

すなわち、このTFTパネルの製造方法では、上記のようにして基板1面に薄膜トランジスタTを形成した後、第1図(d)に示すように、基板

電解エッチング処理を行なう。なお、このときは、全てのゲートラインGLの駆動回路接続端子部は開放させておく。この電解エッチング処理を行なうと、ソース電極Sとドレイン電極Dとが短絡していない薄膜トランジスタでは、ドレイン電極Dからソース電極Sに電流が流れないために、上記コンタクト孔6内において電解液に接している画素電極接続部Saが電解エッチングされることはなく、したがって、ドレイン、ソース電極D、S間が短絡していない薄膜トランジスタTの画素電極接続部Saは第1図(e-1)に示すようにそのまま残るが、ドレイン、ソース電極D、S間に短絡が発生している薄膜トランジスタTでは、そのソース電極Sにドレイン電極Dから電流が流れるために、画素電極接続部Saが電解エッチングされ、この画素電極接続部Saが第1図(e-2)に示すように除去される。

次に、全てのゲートラインGLの駆動回路接続端子部に電解エッチング用電源10を接触式のコネクタを介して接続し(データラインDLの駆動

回路接続端子部は開放させる)、基板1のトランジスタ形成領域全体を電解液中に浸漬して、各薄膜トランジスタTのゲート電極GにゲートラインGLを介して通電する電解エッチング処理を行なう。この電解エッチング処理を行なうと、上記と同様に、ソース電極Sとゲート電極Gとが短絡していない薄膜トランジスタでは、画素電極接続部Saは第1図(e-1)のようにそのまま残るが、ゲート、ソース電極G、S間に短絡が発生している薄膜トランジスタTでは、そのソース電極Sにゲート電極Gから電流が流れるために、画素電極接続部Saが電解エッチングされ、この画素電極接続部Saが第1図(e-2)のように除去される。

なお、上記電解エッチング処理は、ゲート電極Gに通電する処理を先に行ない、ドレイン電極Dに通電する処理を後に行なってもよい。

このようにして短絡が発生している薄膜トランジスタTの画素電極接続部Saを除去した後は、保護絶縁膜5の上にITO等の透明導電膜を付着

が薄膜トランジスタTのソース電極Sに接続することはなく、したがって画素電極aは、短絡を生じている薄膜トランジスタTに対しては接続されずに、第1図(f-2)のように切断された状態となる。

第3図は、上記のようにして製造されたTFTPANELの回路を示したもので、図中Txは短絡が発生して画素電極接続部Saを電解エッチングにより除去された薄膜トランジスタであり、画素電極aは、短絡を生じた薄膜トランジスタTxには接続されず、短絡のない薄膜トランジスタTだけに接続されている。

このように、上記TFTPANELの製造方法によれば、基板1面に形成した各薄膜トランジスタTのうち、ソース電極Sがドレイン電極Dまたはゲート電極Gと短絡している薄膜トランジスタの画素電極接続部Saが電解エッチングによって除去されるために、この後に基板1面に形成される画素電極aは、電解エッチングにより画素電極接続部Saを除去されたトランジスタすなわち短絡を

させ、この透明導電膜をパターニングして、第1図(f-1)および(f-2)に示すように画素電極aを形成する。この画素電極aは、第2図に箱線で示すように、2個の薄膜トランジスタTの画素電極接続部Saを露出させている2つのコンタクト孔6に画素電極aの端部を重ねて形成され、この画素電極aは、上記コンタクト孔6内において薄膜トランジスタTの画素電極接続部Saに重なってこの画素電極接続部Saに接続される。そして、この場合、薄膜トランジスタTが短絡を生じていないトランジスタであれば、そのソース電極Sの画素電極接続部は上記電解エッチング処理によってエッチングされずに残っているから、画素電極aは、短絡を生じていない薄膜トランジスタTに対してはその画素電極接続部Saに第1図(f-1)のように接続されるが、薄膜トランジスタTが短絡を生じているトランジスタである場合は、そのソース電極Sの画素電極接続部が上記電解エッチング処理によって除去されているために、画素電極aのコンタクト孔6内に入った部分

生じているトランジスタには接続されずに、短絡が発生していないトランジスタ(画素電極接続部Saが電解エッチングされずに残っているトランジスタ)だけに接続されることになり、したがって、この製造方法によれば、各画素電極aごとに2個ずつ配置される薄膜トランジスタTのうち、ドレイン、ソース電極D、S間またはゲート、ソース電極G、S間のいずれかに一方でも短絡が発生している薄膜トランジスタには画素電極aを接続せず、短絡のない薄膜トランジスタだけに画素電極aを接続することができるから、常に駆動状態となってしまう画素電極のないTFTPANELを得ることができる。

なお、上記実施例では、保護絶縁膜5に穿設するコンタクト孔6を、ソース電極Sの画素電極接続部Saを露出させる大きさとしているが、このコンタクト孔6は、ソース電極全体を露出させる大きさに形成してもよく、その場合は、短絡を生じたトランジスタのソース電極全体が電解エッチングによって除去される。また、上記実施例では、

薄膜トランジスタTを形成した基板1面にその全面を覆う保護絶縁膜5を形成して、この保護絶縁膜5に各薄膜トランジスタTの画素電極接続部Saを露出させるコンタクト孔6を穿設しているが、この保護絶縁膜5は、各薄膜トランジスタTとそのドレイン電極Dおよびゲート電極GにつながるデータラインDLおよびゲートラインGLだけを覆うように形成してもよく、その場合は、この保護絶縁膜5のトランジスタ部分の外形を、ソース電極Sの画素電極接続部Saを露出させる形状とすればよい。さらに、上記実施例では、短絡を生じた薄膜トランジスタの画素電極接続部Saを除去する電解エッチング処理として、ドレイン電極Dに通電する処理と、ゲート電極Gに通電する処理とを行なうことにより、薄膜トランジスタの短絡がドレイン、ソース電極D、S間に発生している場合も、ゲート、ソース電極G、S間に発生している場合も、この薄膜トランジスタの画素電極接続部Saを除去するようにしているが、ドレイン、ソース電極D、S間に短絡が発生する確

率が非常に低い場合は、上記電解エッチング処理を、ゲート電極Gに通電する処理だけとしてもよいし、また逆にゲート、ソース電極G、S間に短絡が発生する確率が非常に低い場合は、上記電解エッチング処理を、ドレイン電極Dに通電する処理だけとしてもよい。また、上記実施例では、1つの画素電極を2個の薄膜トランジスタで駆動するTFTパネルの製造について説明したが、本発明は、1つの画素電極を3個以上の薄膜トランジスタで駆動するTFTパネルの製造にも適用できることはもちろんである。

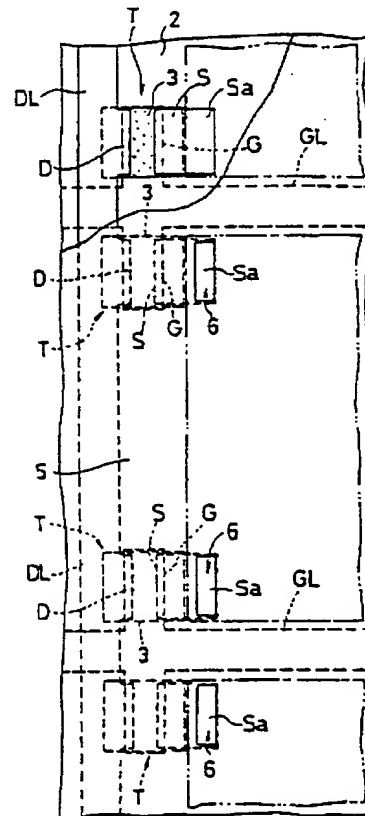
(発明の効果)

本発明のTFTパネルの製造方法によれば、各画素電極ごとに複数個ずつ配設される薄膜トランジスタのうち、ドレイン、ソース電極間またはゲート、ソース電極間に短絡が発生している薄膜トランジスタには画素電極を接続せずに、短絡のない薄膜トランジスタだけに画素電極を接続することができ、常に駆動状態となってしまう画素電極のないTFTパネルを得ることができる。

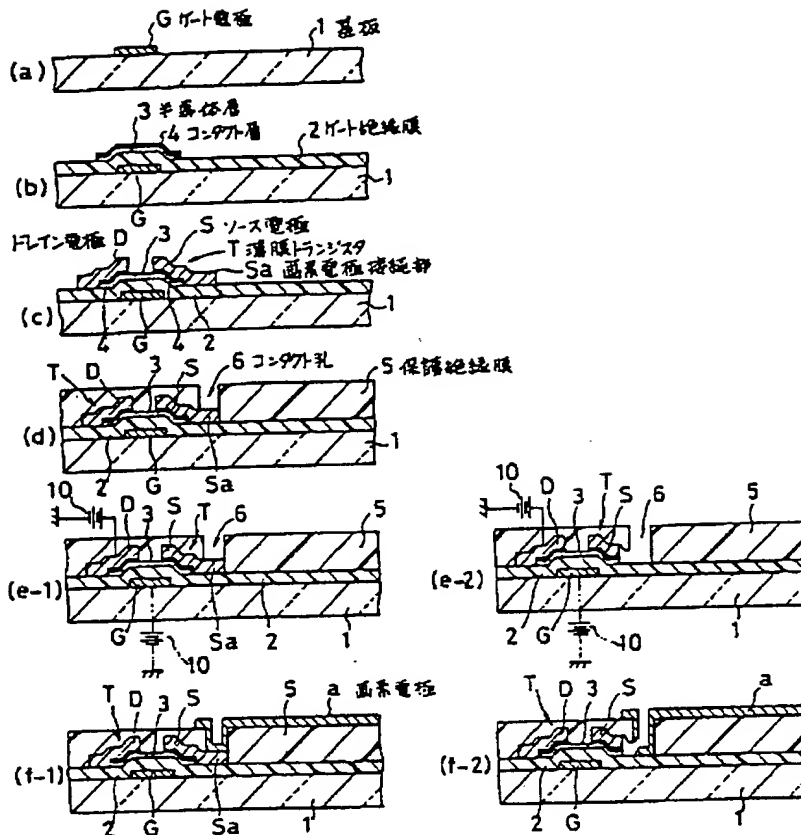
4. 図面の簡単な説明

第1図～第3図は本発明の一実施例を示したもので、第1図はTFTパネルの製造工程図、第2図は第1図(d)の平面図、第3図は製造されたTFTパネルの回路図である。第4図は1つの画素電極を2個の薄膜トランジスタで駆動するTFTパネルの回路図である。

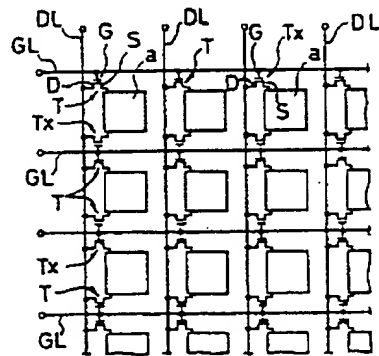
1…基板、T…薄膜トランジスタ、G…ゲート電極、GL…ゲートライン、2…ゲート絶縁膜、3…半導体層、4…コンタクト層、D…ドレイン電極、DL…ドレインライン、S…ソース電極、Sa…画素電極接続部、5…保護絶縁膜、6…コンタクト孔、a…画素電極。



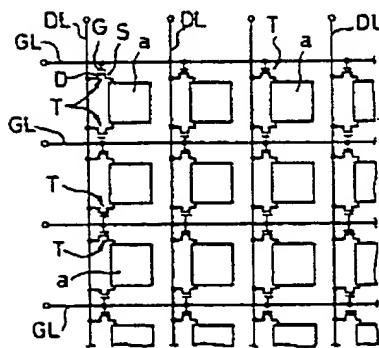
第2図



第 1 図



第 3 図



第 4 図